

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 9 月 15 日 (15.09.2005)

PCT

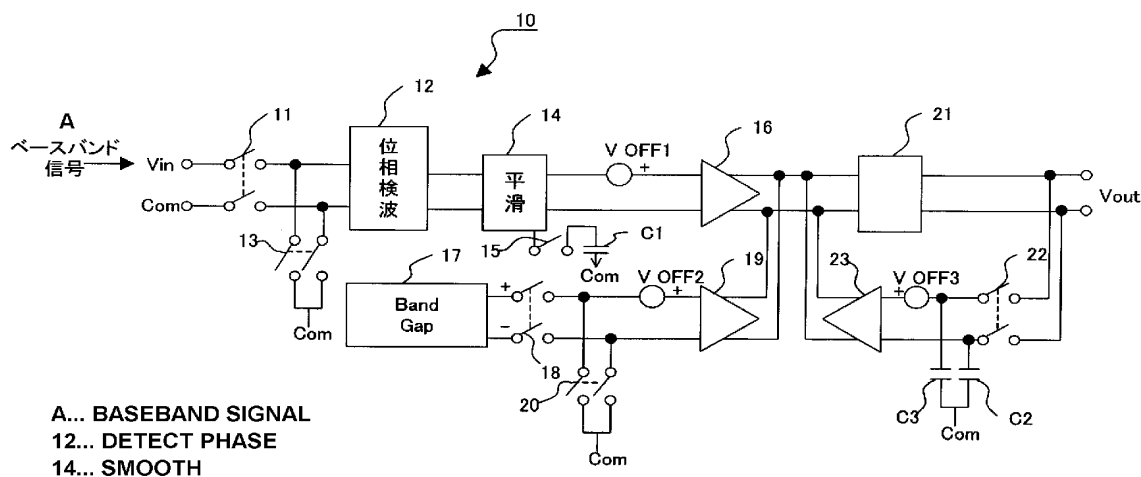
(10) 国際公開番号
WO 2005/086344 A1

- (51) 国際特許分類⁷: H03F 3/34, H04B 1/16 (72) 発明者; および
(21) 国際出願番号: PCT/JP2005/002808 (75) 発明者/出願人 (米国についてののみ): 加藤 昌明 (KATO, Masaaki) [JP/JP]; 〒4488671 愛知県刈谷市豊田町 2 丁目 1 番地 株式会社豊田自動織機内 Aichi (JP). 宮城 弘 (MIYAGI, Hiroshi) [JP/JP]; 〒9430834 新潟県上越市西城町 2 丁目 5 番 1 3 号 新潟精密株式会社内 Niigata (JP).
(22) 国際出願日: 2005 年 2 月 22 日 (22.02.2005)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語 (74) 代理人: 大昔 義之 (OSUGA, Yoshiyuki); 〒1020084 東京都千代田区二番町 8 番地 2 O 二番町ビル 3 F Tokyo (JP).
(30) 優先権データ: 特願 2004-066148 2004 年 3 月 9 日 (09.03.2004) JP
(71) 出願人 (米国を除く全ての指定国について): 株式会社豊田自動織機 (KABUSHIKI KAISHA TOYOTA JIDOSHOKKI) [JP/JP]; 〒4488671 愛知県刈谷市豊田町 2 丁目 1 番地 Aichi (JP). 新潟精密株式会社 (NIIGATA SEIMITSU CO., LTD.) [JP/JP]; 〒9430834 新潟県上越市西城町 2 丁目 5 番 1 3 号 Niigata (JP).

[続葉有]

(54) Title: PILOT SIGNAL DETECTING CIRCUIT, AND SEMICONDUCTOR INTEGRATED CIRCUIT INCORPORATING THAT CIRCUIT

(54) 発明の名称: パイロット信号検出回路及びその回路を搭載した半導体集積回路



(57) Abstract: It is an object of the invention to enhance the detection precision of pilot signal detecting circuits. A pilot detection signal voltage is inputted to a differential amplifier circuit (16), while a reference voltage produced by a reference signal generator circuit (17) is inputted to a differential amplifier circuit (19). These differential amplifier circuits (16,19) are used to compare the pilot signal with the reference voltage. An output current of the differential amplifier circuits (16,19) is converted to a voltage by a current/voltage converter circuit (21). A voltage responsive to the circuit offset voltage is fed back to the input side of the current/voltage converter circuit (21), thereby canceling the offset voltage of the pilot signal detecting circuit.

(57) 要約: 本発明の目的は、パイロット信号検出回路の検出精度を高めることである。パイロット検出信号電圧を差動増幅回路 16 に入力し、基準信号発生回路 17 で生成される基準電圧を差動増幅回路 19 に入力する。この差動増幅回路 16 及び 19 によりパイロット信号が基準電圧と比較される。差動増幅回路 16 及び 19 の出力電流は、電流・電圧変換回路 21 において電圧に変換される。また、電流・電圧変換回路 21 の入力側には、回路のオフセット電圧に応じた電圧が帰還され、パイロット信号検出回路のオフセット電圧がキャンセルされる。



SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

明 細 書

パイロット信号検出回路及びその回路を搭載した半導体集積回路 技術分野

[0001] 本発明は、FM受信機のパイロット信号検出回路及びその回路を搭載した半導体集積回路に関する。

背景技術

[0002] FM受信機においては、ステレオ複合信号に含まれるパイロット信号のレベルを検出し、その検出結果に基づいてステレオ受信とモノラル受信の切り換え等を行っている。

パイロット信号検出回路は、例えば、位相検波回路、平滑回路、比較回路等で構成されており、平滑したパイロット信号レベルが基準値以上か否かを比較回路により比較している。

[0003] パイロット信号を基準電圧と比較する場合、検出回路の内部で発生するオフセット電圧の影響を除去するためにオフセットキャンセル回路が設けられる。

特許文献1には、パイロット検出回路の平滑回路のコンデンサの容量を小さくするために、コンデンサを間欠的に充放電することが記載されている。

[0004] また、特許文献2には、電源電圧の変化の影響を受けないCMOSバンドギャップ基準電圧発生回路について記載されている。

ところで、パイロット信号検出回路の比較回路の基準電圧は、電源電圧の変動、温度変動等により変化するので、パイロット信号レベルを正確に検出することが難しかった。また、MOSトランジスタによりパイロット信号検出回路を構成した場合、MOSトランジスタの特性のミスマッチが比較的大きいために、回路内部で発生するオフセット電圧が大きくなるという問題点があった。そのため、パイロット信号検出回路のオフセットの調整作業が必要な場合もあった。

特許文献1:特開2003-152666号公報(図2, 図3)

特許文献2:特開2000-222054号公報(段落0015)

発明の開示

[0005] 本発明の課題は、パイロット信号検出回路の検出精度を高めることである。

本発明のパイロット信号検出回路は、ベースバンド信号と所定の電圧の一方を選択して出力する第1の半導体スイッチと、前記第1の半導体スイッチから出力される信号を検波する検波回路と、前記検波回路の出力信号を平滑する平滑回路と、前記平滑回路の出力信号を差動増幅する第1の差動増幅回路と、基準電圧を発生するバンドギャップ基準電圧発生回路と、前記バンドギャップ基準電圧発生回路から出力される基準電圧と前記所定の電圧の一方を選択して出力する第2の半導体スイッチと、前記第2の半導体スイッチから出力される信号を差動増幅する第2の差動増幅回路と、前記第1及び第2の半導体スイッチにより所定の電圧が選択されたとき、前記第1の差動増幅回路と前記第2の差動増幅回路の出力をオフセットキャンセル電圧として保持し、該オフセットキャンセル電圧に基づいて前記第1及び第2の差動増幅回路から出力される信号に含まれるオフセット電圧を除去するオフセット除去回路とを備える。

[0006] この発明によれば、ベースバンド信号と、基準電圧をそれぞれ別の差動増幅回路（第1及び第2の差動増幅回路）に入力することにより、パイロット信号レベルと基準電圧レベルを独立に設定することができる。

[0007] また、検波回路と平滑回路の前段に半導体スイッチを設け、ベースバンド信号と所定の電圧を切り換えて第1の差動増幅回路に供給し、所定の電圧を供給したときの第1及び第2の差動増幅回路の出力電圧をオフセットキャンセル電圧として保持し、そのオフセットキャンセル電圧に基づいてオフセット電圧をキャンセルすることで、検波回路と平滑回路を含むパイロット信号検出回路全体のオフセット電圧を除去することができる。これにより、パイロット信号検出回路の検出精度を高めることができる。

[0008] さらに、バンドギャップ基準電圧発生回路に、例えば、MOS集積回路基板上に形成したバイポーラトランジスタを使用することにより、温度特性の優れた基準電圧を生成できる。これにより、パイロット信号レベルをより正確に検出できる。

[0009] 本発明の他のパイロット信号検出回路は、ベースバンド信号と所定の電圧の一方を選択して出力する第1の半導体スイッチと、前記第1の半導体スイッチから出力される

信号を検波する検波回路と、前記検波回路の出力信号を平滑する平滑回路と、前記平滑回路の出力信号を差動増幅する第1の差動増幅回路と、基準電圧を発生するバンドギャップ基準電圧発生回路と、前記バンドギャップ基準電圧発生回路から出力される基準電圧と前記所定の電圧の一方を選択して出力する第2の半導体スイッチと、前記第2の半導体スイッチから出力される信号を差動増幅する第2の差動増幅回路と、前記第1の差動増幅回路の出力電流と前記第2の差動増幅回路の出力電流を電圧に変換する電流・電圧変換回路と、前記第1及び第2の半導体スイッチにより所定の電圧が選択されたとき、前記電流・電圧変換回路の出力電圧をオフセットキャンセル電圧として保持し、保持したオフセットキャンセル電圧を前記電流・電圧変換回路の入力側に帰還してオフセット電圧を除去するオフセット除去回路とを備える。

[0010] この発明によれば、ベースバンド信号と、基準電圧をそれぞれ別の差動増幅回路（第1及び第2の差動増幅回路）に入力することにより、パイロット信号レベルと基準電圧レベルを独立に設定することができる。

[0011] さらに、検波回路と平滑回路の前段に第1の半導体スイッチを設け、ベースバンド信号と所定の電圧を切り換えて検波回路に供給し、所定の電圧を供給したときの電流・電圧変換回路の出力電圧を検出することで、検波回路と平滑回路を含むパイロット信号検出回路全体のオフセット電圧を検出することができる。そして、検出した電圧をオフセットキャンセル電圧として電流・電圧変換回路の入力に帰還することで、検波回路及び平滑回路を含むパイロット信号検出回路全体のオフセット電圧を除去することができる。これにより、検波回路と平滑回路にオフセット除去回路を設ける必要がなくなり、パイロット信号検出回路の構成が簡素になる。

[0012] また、バンドギャップ電圧を基準電圧として使用することで、パイロット信号レベルの検出精度が高くなる。

本発明の他の態様は、上記の発明において、前記平滑回路は、コンデンサと、前記第1の半導体スイッチがベースバンド信号を選択しているときオン状態となり、前記平滑回路の出力電圧を前記コンデンサに充電し、前記第1の半導体スイッチが所定の電圧を選択しているときオフ状態となり、前記コンデンサの電圧を保持する第3の半導体スイッチを有する。

[0013] このように構成することで、ベースバンド信号が検波回路に入力するときには、平滑回路で平滑された電圧がコンデンサに充電される。また、所定の電圧が検波回路に供給されているときには、第3の半導体スイッチがオフしてコンデンサが、平滑回路から切り離される。これにより、ベースバンド信号と所定の電圧を交互に切り換えてオフセットキャンセルを行う場合に、コンデンサに保持されているパイロット信号電圧がオフセット電圧に影響するのを防止できる。

[0014] 本発明の他の態様は、上記の発明において、前記基準電圧発生回路は、MOS集積回路基板上に形成されるバイポーラトランジスタを用いて基準電圧を発生する。

このように構成することで、バイポーラトランジスタのバンドギャップ電圧を基準として使用して基準電圧の温度特性を改善できる。

[0015] 本発明の他の態様は、上記の発明において、前記オフセット除去回路は、前記第1及び第2の半導体スイッチが前記所定の電圧を選択しているときオン状態となり、それ以外のときオフ状態となる第4の半導体スイッチと、前記第4の半導体スイッチがオン状態のとき、前記第1及び第2の差動増幅回路の出力電圧または前記電流・電圧変換回路の出力電圧をオフセットキャンセル電圧として保持するコンデンサと、前記コンデンサに保持されているオフセットキャンセル電圧を、前記第1及び第2の差動増幅回路の出力または前記電流・電圧変換回路の入力にフィードバックしてオフセット電圧を除去する第3の差動増幅回路とを有する。

[0016] このように構成することで、パイロット信号検出回路の内部で発生するオフセット電圧を除去することができる。

本発明の半導体集積回路は、ベースバンド信号を検波する検波回路と、前記検波回路の出力信号を平滑する平滑回路と、前記平滑回路の出力信号を差動増幅する第1の差動増幅回路と、基準電圧を発生するバンドギャップ基準電圧発生回路と、前記基準電圧を差動増幅する第2の差動増幅回路と、前記第1及び第2の差動増幅回路の出力の和の信号をパイロット信号レベルが基準電圧以上か否かを示す信号として出力する出力回路とで構成されるパイロット信号検出回路を、MOSプロセスにより半導体集積回路基板上に形成した。

[0017] この発明によれば、ベースバンド信号と、基準電圧をそれぞれ別の差動増幅回路（

第1及び第2の差動増幅回路)に入力することにより、パイロット信号レベルと基準電圧レベルを独立に設定することができる。

図面の簡単な説明

[0018] [図1]実施の形態のパイロット信号検出回路のブロック図である。

[図2]パイロット検出回路の主要部の回路図である。

[図3]バンドギャップ基準電圧発生回路の回路図である。

発明を実施するための最良の形態

[0019] 以下、本発明の実施の形態を図面を参照しながら説明する。本発明は、以下の構成を有する。

本発明のパイロット信号検出回路は、ベースバンド信号と所定の電圧の一方を選択して出力する第1の半導体スイッチと、前記第1の半導体スイッチから出力される信号を検波する検波回路と、前記検波回路の出力信号を平滑する平滑回路と、前記平滑回路の出力信号を差動増幅する第1の差動増幅回路と、基準電圧を発生するバンドギャップ基準電圧発生回路と、前記バンドギャップ基準電圧発生回路から出力される基準電圧と前記所定の電圧の一方を選択して出力する第2の半導体スイッチと、前記第2の半導体スイッチから出力される信号を差動増幅する第2の差動増幅回路と、前記第1及び第2の半導体スイッチにより所定の電圧が選択されたとき、前記第1の差動増幅回路と前記第2の差動増幅回路の出力をオフセットキャンセル電圧として保持し、該オフセットキャンセル電圧に基づいて前記第1及び第2の差動増幅回路から出力される信号に含まれるオフセット電圧を除去するオフセット除去回路とを備える。

[0020] 第1の半導体スイッチは、例えば、図1の半導体スイッチ11及び13に対応し、第1の差動増幅回路は、図1の差動増幅回路16に対応する。また、第2の半導体スイッチは、図1の半導体スイッチ18及び20に対応し、第2の差動増幅回路は、図1の差動増幅回路19に対応する。

[0021] 本発明の他の態様は、前記オフセット除去回路は、前記第1及び第2の半導体スイッチが前記所定の電圧を選択しているときオン状態となり、それ以外のときオフ状態となる第4の半導体スイッチと、前記第4の半導体スイッチがオン状態のとき、前記第1

及び第2の差動増幅回路の出力電圧または前記電流・電圧変換回路の出力電圧をオフセットキャンセル電圧として保持するコンデンサと、前記コンデンサに保持されているオフセットキャンセル電圧を、前記第1及び第2の差動増幅回路の出力または前記電流・電圧変換回路の入力にフィードバックしてオフセット電圧を除去する第3の差動増幅回路とを有する。

[0022] 第4の半導体スイッチは、例えば、図1の半導体スイッチ22に対応し、コンデンサは、図1のコンデンサC2、C3に対応する。

図1は、本発明の実施の形態のパイロット信号検出回路10のブロック図である。なお、実施の形態のパイロット信号検出回路10は、pチャネルMOSトランジスタとnチャネルMOSトランジスタを形成できるCMOSプロセスにより製造されるFM、AMラジオ受信機用半導体集積回路基板上に搭載される。

[0023] 図1において、半導体スイッチ11は、2個の半導体スイッチが連動してオン、オフし、一方の半導体スイッチ11の入力端子には、ベースバンド信号(ステレオ複合信号など)が入力され、他方の半導体スイッチ11の入力端子には、所定の電圧Comが入力され、2個の出力端子は、位相検波回路12に接続している。半導体スイッチ11は、トランスファークロークなどで構成される。なお、所定の電圧Comとは、集積回路内部で作成される基準電圧、その基準電圧を分圧した任意の電圧、あるいは接地電圧である。

[0024] 半導体スイッチ13は、2個の半導体スイッチが連動してオン、オフし、2個の入力端子には、所定の電圧Comが入力し、2個の出力端子は位相検波回路12に接続している。

[0025] パイロット信号のサンプリング時には、図示しない制御信号生成部から、半導体スイッチ11をオンさせ、半導体スイッチ13をオフさせる制御信号が供給され、ベースバンド信号が位相検波回路12に供給される。また、オフセットキャンセル時には、半導体スイッチ11をオフさせ、半導体スイッチ13をオンさせる制御信号が供給され、所定の電圧Comが位相検波回路12に供給される。

[0026] 位相検波回路12は、ベースバンド信号をパイロット信号の位相に同期したタイミングで検波し、検波出力を平滑回路14に出力する。

平滑回路14は、位相検波回路12の出力信号を平滑して差動増幅回路16に出力する。平滑回路14の出力端子には、半導体スイッチ15とコンデンサC1が直列に接続されている。

- [0027] 半導体スイッチ15は、半導体スイッチ11と同じ制御信号が与えられ、半導体スイッチ11がオンのときオンとなり、平滑回路14で平滑されたパイロット信号の電圧をコンデンサC1に充電する。そして、オフセット電圧を検出するときには、半導体スイッチ11をオフにして、コンデンサC1に保持されたパイロット信号電圧がオフセット電圧に影響しないようにする。
- [0028] 差動増幅回路16は、平滑回路14で平滑されたパイロット信号電圧を増幅して電流・電圧変換回路21に出力する。差動増幅回路16の非反転入力側のオフセット電圧VOFF1は、位相検波回路12、平滑回路14及び差動増幅回路16のMOSTランジスタの特性のミスマッチ等により生じる出力側のオフセット電圧を入力側に換算した電圧である。入力信号がゼロの状態、オフセット電圧VOFF1を入力側に印加したときに差動増幅回路16から出力される電圧が、位相検波回路12、平滑回路14及び差動増幅回路16の内部で発生するオフセット電圧の総和と等しくなる。
- [0029] 基準電圧発生回路(バンドギャップ基準電圧発生回路)17は、バイポーラトランジスタのバンドギャップ電圧を基準電圧として発生する回路であり、パイロット信号レベルの比較の基準となる基準電圧を出力する。
- [0030] 半導体スイッチ18は、2個の半導体スイッチが連動してオン、オフし、基準電圧発生回路17の出力を選択的に差動増幅回路19に出力する。半導体スイッチ18には、半導体スイッチ11と同じ制御信号が与えられており、半導体スイッチ11がオンのときオンし、オフのときオフする。
- [0031] 半導体スイッチ20は、2個の半導体スイッチが連動してオン、オフし、所定の電圧Comを選択的に差動増幅回路19に出力する。半導体スイッチ20は、半導体スイッチ13と同じ制御信号が与えられており、半導体スイッチ13がオンのときオンし、オフのときオフする。
- [0032] 差動増幅回路19は、半導体スイッチ18及び20の選択に応じて、基準電圧または所定の電圧Comを増幅して電流・電圧変換回路21に出力する。差動増幅回路19の

非反転入力側のオフセット電圧 V_{OFF2} は、差動増幅回路19のMOSTランジスタの特性のミスマッチにより生じる出力側のオフセット電圧を入力側に換算した電圧である。

[0033] 電流・電圧変換回路21は、差動増幅回路16と差動増幅回路19の差動出力電流を電圧に変換する回路である。この電流・電圧変換回路21の出力は、図示しないインバータ等からなる出力回路に出力される。

[0034] 半導体スイッチ22は、2個の半導体スイッチが連動してオン、オフし、電流・電圧変換回路21の出力を選択的にコンデンサC2、C3及び差動増幅回路23に出力する。なお、半導体スイッチ22は、半導体スイッチ13と同じ制御信号が与えられている。コンデンサC2、C3の他端は、所定の電圧 V_{com} に接続されている。

[0035] 差動増幅回路23は、コンデンサC2、C3に保持されるオフセットキャンセル電圧を、電流・電圧変換回路21の入力側に帰還してパイロット信号検出回路10全体のオフセット電圧をキャンセルする。差動増幅回路23の非反転入力側のオフセット電圧 V_{OFF3} は、差動増幅回路23のMOSTランジスタの特性のミスマッチ等により生じる出力側のオフセット電圧を入力側に換算した電圧である。

[0036] 上記の半導体スイッチ22、コンデンサC2、C3及び差動増幅回路23は、オフセット除去回路を構成している。

半導体スイッチ13がオンして所定の電圧 V_{com} が位相検波回路12に供給されているときには、電流・電圧変換回路21から出力される電圧(パイロット検出回路全体のオフセット電圧)でコンデンサC2、C3が充電される。

[0037] 所定のサンプリング間隔毎に半導体スイッチ11がオンされ、パイロット信号が位相検波回路12に供給されると、そのときコンデンサC2、C3に保持されているオフセットキャンセル電圧が電流・電圧変換回路21の入力側に帰還されて回路全体のオフセット電圧がキャンセルされる。

[0038] 次に、以上のような構成のパイロット信号検出回路10の動作を説明する。最初に、パイロット信号のサンプリング時、すなわち、半導体スイッチ11、15及び18がオン、半導体スイッチ13、20、22がオフの場合について説明する。

- [0039] この場合、ベースバンド信号が位相検波回路12において同期検波されパイロット信号が抽出される。そして、平滑回路14においてパイロット信号が直流電圧に平滑され、その直流電圧が差動増幅回路16で増幅される。このとき、半導体スイッチ15がオンし、サンプリングされたパイロット信号電圧によりコンデンサC1が充電される。
- [0040] 半導体スイッチ18がオン、半導体スイッチ20がオフとなっているので、基準電圧発生回路17から出力される基準電圧が差動増幅回路19で増幅される。
- 差動増幅回路16と差動増幅回路19の出力電流は、電流・電圧変換回路21により電圧に変換されてパイロット信号の判定結果を示す信号として出力される。
- [0041] 次に、オフセット電圧検出時、すなわち、半導体スイッチ13, 20, 22がオン、半導体スイッチ11, 15, 18がオフの場合について説明する。
- この場合、所定の電圧Comが位相検波回路12の2つの入力に供給され、位相検波回路12, 平滑回路14及び差動増幅回路16で発生するオフセット電圧が差動増幅回路16から出力される。
- [0042] このとき、半導体スイッチ15がオフし、コンデンサC1に充電されたパイロット信号電圧はそのまま保持される。
- また、半導体スイッチ20がオン、半導体スイッチ18がオフとなるので、所定の電圧Comが差動増幅回路19の2つの入力端子に入力し、差動増幅回路19で発生するオフセット電圧が出力される。
- [0043] この場合、差動増幅回路16と差動増幅回路19の差動入力電圧が同じ所定の電圧Comであるので、電流・電圧変換回路21の出力電圧は、ベースバンド信号がゼロのときの回路全体のオフセット電圧となる。このとき、半導体スイッチ22がオンとなるので、コンデンサC2, C3の充電電圧は、位相検波回路12, 平滑回路14, 差動増幅回路16, 差動増幅回路19、差動増幅回路23及び電流・電圧変換回路21で発生するオフセット電圧の総和の電圧となる。
- [0044] パイロット信号の次のサンプリングタイミングとなると、半導体スイッチ11, 15, 18がオン、半導体スイッチ13, 20, 22がオフとなり、上述したのと同様に、ベースバンド信号が位相検波回路12において同期検波されパイロット信号が抽出され、そのパイロット信号が平滑されて差動増幅回路16で増幅される。

- [0045] そして、コンデンサC2, C3に充電されたオフセットキャンセル電圧(回路全体のオフセット電圧)が、差動増幅回路23により電流・電圧変換回路21の入力側に負帰還され、パイロット信号検出回路10内部で発生するオフセット電圧がキャンセルされる。
- [0046] 実施の形態のパイロット信号検出回路10は、2個の差動増幅回路16及び19を用いて、それぞれ別の差動増幅回路16及び19の入力端子にパイロット信号電圧と基準電圧を入力しているので、パイロット信号の接地電位に対する電圧レベルと、基準電圧の接地電位に対する電圧レベルを独立に設定することができる。これにより、MOS集積回路基板上に形成するバイポーラトランジスタのバンドギャップ電圧を基準電圧として用いることができる。これにより、パイロット信号レベルの検出精度が高くなる。
- [0047] MOS集積回路基板上に形成するバイポーラトランジスタのバンドギャップ電圧を基準電圧として使用する場合、バイポーラトランジスタのコレクタが基板の最低電位となるので、基準電圧発生回路17の基準電位が基板の最低電位となる。そのため、基準電圧のレベルが制限される。本実施の形態では、2個の差動増幅回路16及び19を用いることで、基準電圧のレベルをパイロット信号電圧の電圧レベルと独立に設定することが可能となる。これにより、MOS集積回路基板上のバイポーラトランジスタのバンドギャップ電圧を基準電圧として用いることができる。
- [0048] また、ベースバンド信号と所定の電圧Comを半導体スイッチ11により切り換えて位相検波回路12に供給することで、位相検波回路12、平滑回路14及び差動増幅回路16、19、23等を含むパイロット信号検出回路全体のオフセット電圧を検出することができる。これにより、位相検波回路12及び平滑回路14を含むパイロット信号検出回路全体のオフセット電圧を除去することができるので、パイロット信号の検出精度を高めることができる。また、パイロット信号検出回路のオフセット除去回路の調整作業が不要となる。さらに、位相検波回路12及び平滑回路14にオフセット除去回路を設ける必要がなくなるので、パイロット信号検出回路10全体で見たときの回路構成を簡素にできる。
- [0049] 次に、図2は、パイロット検出回路10の具体的回路の一例を示す図である。差動増幅回路16は、一端が電源VDDに接続された定電流源31と、ソースが定電流源31の

出力側に接続され、差動接続されたpチャネルMOSTランジスタ32及び33とからなる。pチャネルMOSTランジスタ32及び33のゲートには、平滑回路14で平滑されたパイロット信号または所定の電圧Comが入力する。

[0050] pチャネルMOSTランジスタ33のドレインは、電流・電圧変換回路21の接続点Aに接続され、pチャネルMOSTランジスタ32のドレインは、電流・電圧変換回路21の接続点Bに接続されている。定電流源31は、例えば、カレントミラー回路等で構成される。

[0051] 差動増幅回路19は、一端が電源VDDに接続された定電流源34と、ソースが定電流源34の出力側に接続され、差動接続されたpチャネルMOSTランジスタ35及び36とからなる。pチャネルMOSTランジスタ35及び36のゲートには、基準電圧発生回路17から出力される基準電圧または所定の電圧Comが入力する。

[0052] pチャネルMOSTランジスタ35のドレインは、電流・電圧変換回路21の接続点Aに接続され、pチャネルMOSTランジスタ36のドレインは、電流・電圧変換回路21の接続点Bに接続されている。

[0053] 電流・電圧変換回路21は、カレントミラー回路を構成するpチャネルMOSTランジスタ37及び38と、pチャネルMOSTランジスタ37に縦続接続されたnチャネルMOSTランジスタ39、40と、pチャネルMOSTランジスタ38に縦続接続されたnチャネルMOSTランジスタ41、42とからなる。

[0054] nチャネルMOSTランジスタ39と40の接続点Aと、nチャネルMOSTランジスタ41と42の接続点Bに、差動増幅回路16及び19の出力電流が入力する。

nチャネルMOSTランジスタ39、41のゲートには共通のゲート電圧Vaが与えられ、nチャネルMOSTランジスタ40、42のゲートには共通のゲート電圧Vbが与えられ、MOSTランジスタ40、42のソースは接地されている。

[0055] 差動増幅回路23は、一端が電源VDDに接続された定電流源43と、定電流源43の出力側にソースが接続され、差動接続されたpチャネルMOSTランジスタ44及び45からなる。

[0056] pチャネルMOSTランジスタ44のゲートは、コンデンサC2と、トランスファーゲート46(半導体スイッチ22)を介してpチャネルMOSTランジスタ38のドレインに接続され

ている。pチャネルMOSトランジスタ45のゲートは、コンデンサC3とトランスファークラップ46を介してpチャネルMOSトランジスタ37のドレインに接続されている。トランスファークラップ46は、pチャネルMOSトランジスタとnチャネルMOSトランジスタが並列に接続されて構成されている。

- [0057] 次に、以上のような構成の回路の動作を説明する。平滑回路14から出力されるパイロット信号電圧と基準電圧が等しい場合を基準に考えると、パイロット信号電圧が基準電圧より小さくなると、パイロット信号とその逆相の信号が入力する差動増幅回路16の、例えば、MOSトランジスタ33の出力電流が増加し、電流・電圧変換回路21の左側(図3の正面から見て)のMOSトランジスタ39と40の接続点Aに流入する電流が増加する。
- [0058] トランジスタ33から接続点Aに流入する電流が増加するが、トランジスタ40に流れる電流は変化しないので、結果として、トランジスタ39に流れる電流が減少し、トランジスタ37のドレイン電流も減少する。トランジスタ37のドレイン電流が減少すると、トランジスタ38のドレイン電流も減少し、トランジスタ37とトランジスタ39のドレイン部の電位 V_d (接地を基準とした電圧)が増加する。
- [0059] 一方、トランジスタ33の出力電流が増加した分、トランジスタ32の出力電流が減少する。トランジスタ32から接続点Bに流入する電流が減少するが、トランジスタ42に流れる電流は変化しないので、結果として、トランジスタ41に流れる電流が増加し、トランジスタ38のドレイン電流も増加する。トランジスタ38のドレイン電流が増加すると、トランジスタ38とトランジスタ41のドレイン部の電位 V_c が減少する。
- [0060] その結果、電流・電圧変換回路21の出力電圧、すなわちMOSトランジスタ37のドレイン部の電位 V_d とMOSトランジスタ38のドレイン部の電位 V_c の差電圧は大きくなる。
- [0061] これに対して、パイロット信号電圧が基準電圧より大きくなると、差動増幅回路16のMOSトランジスタ33の出力電流が減少し、電流・電圧変換回路21の左側のMOSトランジスタ39と40の接続点Aに流入する電流が減少する。
- [0062] 接続点Aに流入する電流が減少した結果、MOSトランジスタ37のドレイン電流が増加し、同時にカレントミラー回路の右側のMOSトランジスタ38の電流も増加する。

一方、トランジスタ33の出力電流が減少した分、トランジスタ32の出力電流が増加し、その結果、接続点Bに流入する電流は増加する。接続点Bに流入する電流が増加した結果、トランジスタ41のドレイン電流は減少する。

[0063] その結果、電流・電圧変換回路21の出力電圧、すなわちMOSTランジスタ37のドレイン部の電位 V_d とMOSTランジスタ38のドレイン部の電位 V_c の差電圧は小さくなる。この電流・電圧変換回路21の出力電圧の変化は、例えば、インバータ等の出力回路によりハイレベルとローレベルの信号に変換することができる。

[0064] すなわち、パイロット信号電圧が基準電圧より小さいときには、電流・電圧変換回路21の出力電圧は、パイロット信号電圧と基準電圧が等しいときの電圧より大きくなり、パイロット信号電圧が基準電圧より大きいときは、電流・電圧変換回路21の出力電圧は小さくなる。従って、電流・電圧変換回路21の出力電圧により、パイロット信号が基準電圧以上か否かを判定することができる。

[0065] 次に、図3は、バンドギャップ基準電圧発生回路17の一例を示す図である。

図3において、pチャネルMOSTランジスタ51と、nチャネルMOSTランジスタ52と、バイポーラトランジスタ53が、電源VDDとグランド間に直列に接続されている。バイポーラトランジスタ53のベースとコレクタは接地（集積回路基板の最低電位）されている。

[0066] 同様に、pチャネルMOSTランジスタ54と、nチャネルMOSTランジスタ55と、抵抗 R_1 と、バイポーラトランジスタ56が、電源VDDと接地との間に直列に接続されている。バイポーラトランジスタ56のベースとコレクタは接地されている。

[0067] nチャネルMOSTランジスタ52のゲートは、ドレインと接続され、さらにnチャネルMOSTランジスタ55のゲートと接続されてカレントミラー回路を構成している。

pチャネルMOSTランジスタ57と、抵抗 R_2 と、バイポーラトランジスタ58とが、電源VDDと接地との間に接続されている。バイポーラトランジスタ58のベースとコレクタは接地されている。

[0068] さらに、抵抗 R_2 及びバイポーラトランジスタ58と並列に抵抗 R_3 と抵抗 R_4 と抵抗 R_5 が直列に接続され、抵抗 R_4 の両端の電圧が基準電圧として出力される。

図3の回路において、MOSTランジスタ51、54、MOSTランジスタ52、55と、バイ

ポーラトランジスタ53、56と、抵抗R1により、絶対温度に比例した電流を生成する。その電流をカレントミラーによりMOSTランジスタ57に流している。すると、抵抗R2の両端の電位は絶対温度に比例する正の温度係数を持つ。

[0069] 一方、バイポーラトランジスタ58のベース・エミッタ間電圧 V_{be} は負の温度特性を持っているので、両電圧の和は温度に対して一定となる。

従って、抵抗R2の電位を抵抗R3, R4, R5により分圧することにより、温度に依存しない基準電圧を得ることができる。

[0070] 本発明によれば、ベースバンド信号と、基準電圧をそれぞれ別の差動増幅回路(第1及び第2の差動増幅回路)に入力することにより、パイロット信号レベルと基準電圧レベルを独立に設定することができる。また、ベースバンド信号と所定の電圧を半導体スイッチにより切り換えて検波回路に供給することで、検波回路、平滑回路及び差動増幅回路を含むパイロット信号検出回路全体のオフセット電圧を検出することができる。これにより、検波回路、平滑回路及び差動増幅回路を含むパイロット信号検出回路全体のオフセット電圧を除去することができる。これにより、パイロット信号検出回路の検出精度を高めることができる。

[0071] 本発明は、上述した実施の形態に限らず、以下のように構成しても良い。

(1) 差動増幅回路は16, 19, 23は、実施の形態に示した回路に限らず、公知の他の差動増幅回路を用いてもよい。例えば、電圧出力型の差動増幅回路でもよい。

(2) 電圧出力型の差動増幅回路の場合には、電流・電圧変換回路を使用しない回路構成にしてもよい。

請求の範囲

- [1] ベースバンド信号と所定の電圧の一方を選択して出力する第1の半導体スイッチと、
、
前記第1の半導体スイッチから出力される信号を検波する検波回路と、
前記検波回路の出力信号を平滑する平滑回路と、
前記平滑回路の出力信号を差動増幅する第1の差動増幅回路と、
基準電圧を発生するバンドギャップ基準電圧発生回路と、
前記バンドギャップ基準電圧発生回路から出力される基準電圧と前記所定の電圧の一方を選択して出力する第2の半導体スイッチと、
前記第2の半導体スイッチから出力される信号を差動増幅する第2の差動増幅回路と、
前記第1及び第2の半導体スイッチにより所定の電圧が選択されたとき、前記第1の差動増幅回路と前記第2の差動増幅回路の出力をオフセットキャンセル電圧として保持し、該オフセットキャンセル電圧に基づいて前記第1及び第2の差動増幅回路から出力される信号に含まれるオフセット電圧を除去するオフセット除去回路とを備えるパイロット信号検出回路。
- [2] ベースバンド信号と所定の電圧の一方を選択して出力する第1の半導体スイッチと、
、
前記第1の半導体スイッチから出力される信号を検波する検波回路と、
前記検波回路の出力信号を平滑する平滑回路と、
前記平滑回路の出力信号を差動増幅する第1の差動増幅回路と、
基準電圧を発生するバンドギャップ基準電圧発生回路と、
前記バンドギャップ基準電圧発生回路から出力される基準電圧と前記所定の電圧の一方を選択して出力する第2の半導体スイッチと、
前記第2の半導体スイッチから出力される信号を差動増幅する第2の差動増幅回路と、
前記第1の差動増幅回路の出力電流と前記第2の差動増幅回路の出力電流を電圧に変換する電流・電圧変換回路と、

前記第1及び第2の半導体スイッチにより所定の電圧が選択されたとき、前記電流・電圧変換回路の出力電圧をオフセットキャンセル電圧として保持し、保持したオフセットキャンセル電圧を前記電流・電圧変換回路の入力側に帰還してオフセット電圧を除去するオフセット除去回路とを備えるパイロット信号検出回路。

- [3] 前記平滑回路は、コンデンサと、前記第1の半導体スイッチがベースバンド信号を選択しているときオン状態となり、前記平滑回路の出力電圧を前記コンデンサに充電し、前記第1の半導体スイッチが所定の電圧を選択しているときオフ状態となり、前記コンデンサの電圧を保持する第3の半導体スイッチを有する請求項1または2記載のパイロット信号検出回路。
- [4] 前記バンドギャップ基準電圧発生回路は、MOS集積回路基板上に形成されるバイポーラトランジスタを用いて基準電圧を発生する請求項1または2記載のパイロット信号検出回路。
- [5] 前記オフセット除去回路は、前記第1の半導体スイッチが前記所定の電圧を選択しているときオン状態となり、それ以外るときオフ状態となる第4の半導体スイッチと、前記第4の半導体スイッチがオン状態のとき、前記第1の差動増幅回路及び第2の差動増幅回路の出力電圧または前記電流・電圧変換回路の出力電圧をオフセットキャンセル電圧として保持するコンデンサと、前記コンデンサに保持されているオフセットキャンセル電圧を、前記第1及び第2の差動増幅回路の出力または前記電流・電圧変換回路の入力にフィードバックしてオフセット電圧を除去する第3の差動増幅回路とを有する請求項1または2記載のパイロット信号検出回路。
- [6] 前記検波回路は、ステレオ複合信号のパイロット信号の位相検波を行う位相検波回路である請求項1または2記載のパイロット信号検出回路。
- [7] ベースバンド信号を検波する検波回路と、
前記検波回路の出力信号を平滑する平滑回路と、
前記平滑回路の出力信号を差動増幅する第1の差動増幅回路と、
基準電圧を発生するバンドギャップ基準電圧発生回路と、
前記基準電圧を差動増幅する第2の差動増幅回路と、
前記第1及び第2の差動増幅回路の出力の和の信号を、パイロット信号レベルが基

準電圧以上か否かを示す信号として出力する出力回路とで構成されるパイロット信号検出回路を、MOSプロセスにより半導体集積回路基板上に形成した半導体集積回路。

- [8] ベースバンド信号と所定の電圧の一方を選択して出力する第1の半導体スイッチと、

、

前記第1の半導体スイッチから出力される信号を検波する検波回路と、

前記位相回路の出力信号を平滑する平滑回路と、

前記平滑回路の出力信号を差動増幅する第1の差動増幅回路と、

基準電圧を発生する基準電圧発生回路と、

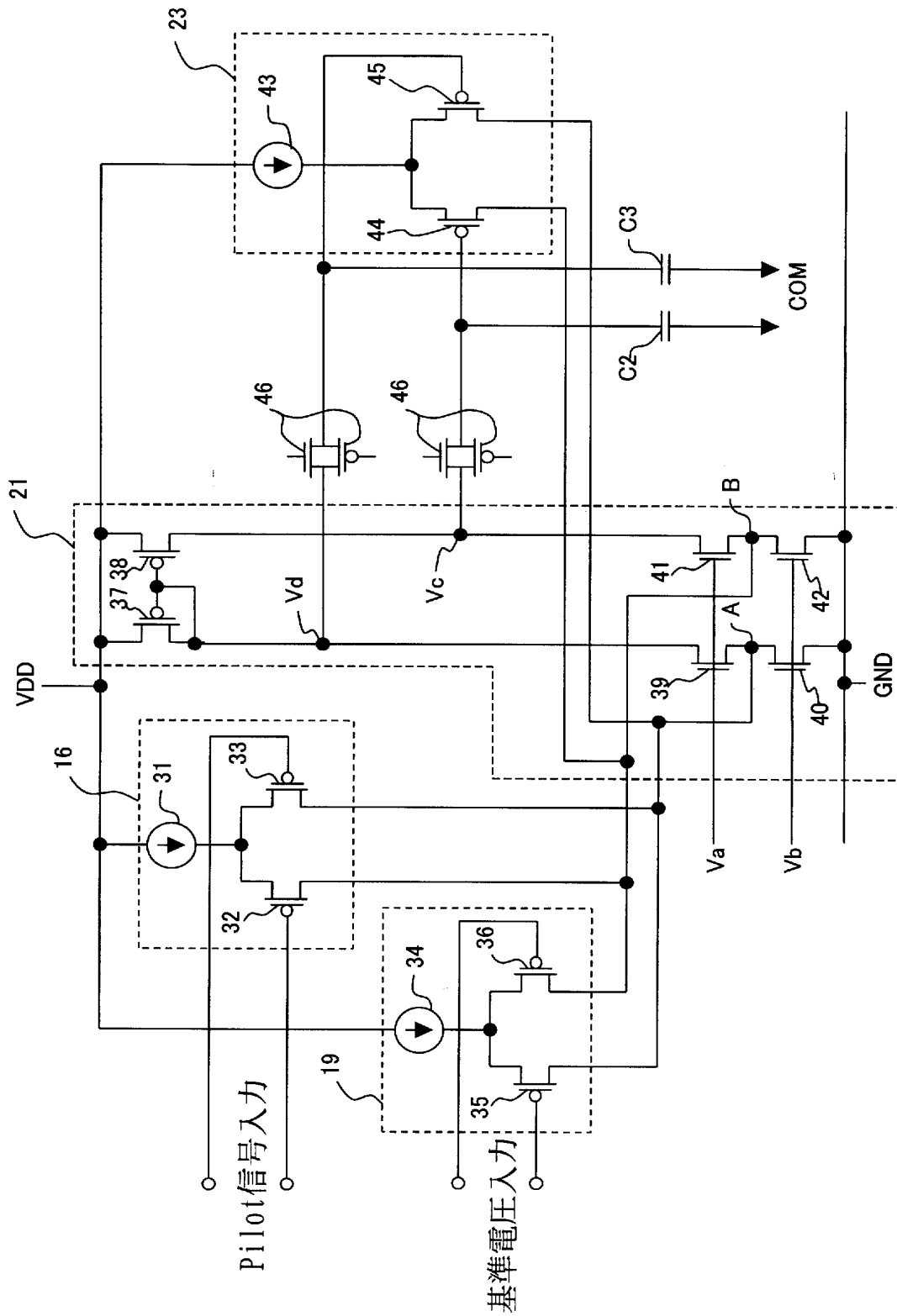
前記基準電圧発生回路から出力される基準電圧と前記所定の電圧の一方を選択して出力する第2の半導体スイッチと、

前記第2の半導体スイッチから出力される信号を差動増幅する第2の差動増幅回路と、

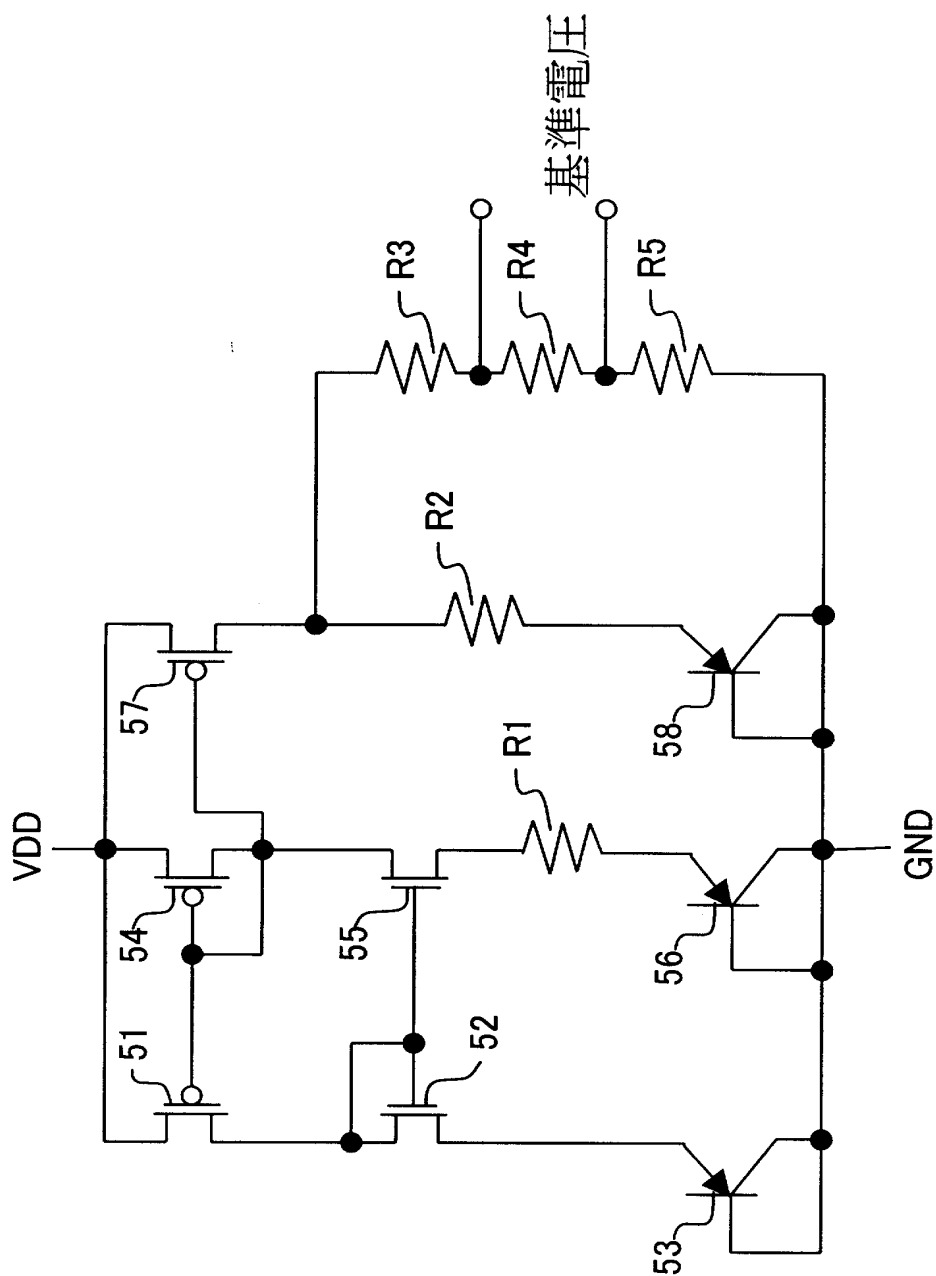
前記第1及び第2の半導体スイッチにより所定の電圧が選択されたとき、前記第1の差動増幅回路と前記第2の差動増幅回路の出力をオフセットキャンセル電圧として保持し、該オフセットキャンセル電圧に基づいて前記第1及び第2の差動増幅回路から出力される信号に含まれるオフセット電圧を除去するオフセット除去回路とで構成されるパイロット信号検出回路を、MOSプロセスにより半導体集積回路基板上に形成した半導体集積回路。

- [9] 前記平滑回路は、コンデンサと、前記第1の半導体スイッチがベースバンド信号を選択しているときオン状態となり、前記平滑回路の出力電圧を前記コンデンサに充電し、前記第1の半導体スイッチが所定の電圧を選択しているときオフ状態となり、前記コンデンサの電圧を保持する第3の半導体スイッチを有する請求項8記載の半導体集積回路。

[図2]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/002808

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H03F3/34, H04B1/16

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H03F3/34, H04B1/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-152666 A (Niigata Seimitsu Co., Ltd.), 23 May, 2003 (23.05.03), Fig. 2 (Family: none)	1-9
A	JP 2000-222054 A (Samsung Electronics Co., Ltd.), 11 August, 2000 (11.08.00), Fig. 1 & US 6160393 A1 & DE 19958438 A1 & CN 1264067 A & TW 460765 B	1-9
A	JP 63-175540 A (NEC Corp.), 19 July, 1988 (19.07.88), Fig. 1 (Family: none)	1-9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 June, 2005 (06.06.05)

Date of mailing of the international search report
21 June, 2005 (21.06.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H03F3/34, H04B1/16

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H03F3/34, H04B1/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2003-152666 A (新潟精密株式会社) 2003.05.23, 第2図 (ファミリーなし)	1-9
A	JP 2000-222054 A (三星電子株式会社) 2000.08.11, 第1図 & US 6160393 A1 & DE 19958438 A1 & CN 1264067 A & TW 460765 B	1-9
A	JP 63-175540 A (日本電気株式会社) 1988.07.19, 第1図 (ファミリーなし)	1-9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

06.06.2005

国際調査報告の発送日

21.06.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

山中 実

5W

9076

電話番号 03-3581-1101 内線 3576